StudyTemplate

시스템 통합 시험 계획서

**Version < x.x >**

**<YYYY/MM/DD>**

문서 목적

**<문서의 목적을 기술>**

(예시) 이 문서는 VW AQ 프로젝트의 시스템 검증 계획이다.

개발된 시스템의 요건 및 안전 요구사항을 충족하는지 검증하기 위해 시스템 레벨 검증 계획을 수립하는 데 사용된다.

- 목 차 -

[1. 개요 1](#_Toc87012498)

[**1.1. 목적** 1](#_Toc87012499)

[**1.2. 통합 시험 목표** 1](#_Toc87012500)

[2. 시험 방법론 (Test Methodology) 1](#_Toc87012501)

[**2.1. 역할과 책임 (Roles and Responsibility)** 1](#_Toc87012502)

[**2.2. 시험 활동 방법** 2](#_Toc87012503)

[**2.3. 시험 설계 기법** 2](#_Toc87012504)

[**2.4. 시험 산출물** 3](#_Toc87012505)

[**2.5. 시험 위배 관리** 3](#_Toc87012506)

[**2.5.1. 결함 심각도** 4](#_Toc87012507)

[**2.5.2. 결함 우선순위** 4](#_Toc87012508)

[3. 시스템 통합 시험 4](#_Toc87012509)

[**3.1. 통합 전략** 4](#_Toc87012510)

[**3.2. 통합 시험 전략** 5](#_Toc87012511)

[**3.2.1. 시험 범위** 6](#_Toc87012512)

[**3.3. 회귀 시험 전략** 6](#_Toc87012513)

[**3.4. 시험 일정** 7](#_Toc87012514)

[**3.4.1. 통합 시험 기준** 7](#_Toc87012515)

[**3.4.2. 시험 Entry/Suspension/Resumption 기준** 7](#_Toc87012516)

[**3.4.3. 시험 완료 기준** 8](#_Toc87012517)

[**3.5. 통합 시험 환경** 8](#_Toc87012518)

[**3.5.1. 시험 환경 개요** 9](#_Toc87012519)

[**3.5.2. 시험 데이터 요구사항** 9](#_Toc87012520)

[**3.5.3. 시험 환경 요구사항** 9](#_Toc87012521)

1. **개요**
   1. **목적**

<일반 목적에 대해서 기술>

이 시스템 통합 테스트는 다음을 확인하기 위해 수행됩니다.

- System Architecture Design 기반 시스템 인터페이스 동작의 적합성 검증

* 1. **통합 시험 목표**

<통합 시험 목적에 대해 기술>

(예) 시스템 통합 시험의 목적으로 시험 목표는 다음을 준수해야 합니다. 이러한 목표는 PMBook에서 가져온 것입니다.

시스템 통합 테스트의 목적으로 테스트 대상은 다음을 준수해야 합니다.

이러한 목표는 PMBook에서 가져온 것입니다.

1. 모든 아키텍처 동작은 테스트 케이스에 포함됩니다.

- SyAD 및 SyITC 추적 기능의 동작

2. 모든 통합 테스트 케이스를 수행해야 합니다.

- SyIT 수행

3. 모든 통합 테스트 사례를 검토해야 합니다.

- SyITC 검토

Table 1 시험 기준

|  |  |  |
| --- | --- | --- |
| Milestones | Targets | Remarks |
| SBS1 | - Behavior of SwAD and SwITC Traceability : 100%  - Interface of SwAD and SwITC Traceability : 100% | V300 |
| SBS2.1 | - Behavior of SwAD and SwITC Traceability : 100%  - Interface of SwAD and SwITC Traceability : 100% | V400 |
|  |  |  |

1. **시험 방법론 (Test Methodology)**
   1. **역할과 책임 (Roles and Responsibility)**

이 프로젝트에 대한 역할과 책임은 RnR 회의 보고(RnR)에 문서화되어 있습니다.

* 1. **시험 활동 방법**

(예) 시스템 통합 테스트케이스는 다음 설계 방법에서 파생되어야 하며 테스트케이스 설계 방법은 시스템 통합 테스트케이스 설계서에 정의되어야 합니다.

Table 2 테스트케이스 디자인 방법

|  |  |  |
| --- | --- | --- |
| Test Case Methods | Description of Method | Remarks |
| Analysis of requirements (Architecture Design) | Tests directly from the architecture design. One requirement needs one or more tests for sufficient verification. | Applied for sbs1 |
| Analysis of external and internal interface | External interfaces which are connected to the external system shall be checked  Internal interfaces in the A/T system shall be checked |  |
|  |  |  |
|  |  |  |

Table 3 시험 목표와 방법

|  |  |  |
| --- | --- | --- |
| Test Case Methods | Description of Method | Remarks |
| Analysis of requirements (Architecture Design) | Verification of functional performance, accuracy and timing against system requirements (system requirements, system design, etc.) | Applied for sbs1 |
| Analysis of external and internal interface | Verify the internal interface in the system integration test and the external interface in the system test |  |
|  |  |  |

* 1. **시험 설계 기법**

(예제) (1) Specification-based test design

- Equivalence partitioning

- Boundary value analysis

- Decision table testing

- Scenario testing

(2) Structure based test design

- Statement testing

- Branch testing

- Decision testing

* 1. **시험 산출물**

Table 4 시험 산출물

|  |  |
| --- | --- |
| Work product | Time of Writing / Updating |
| SWITC | After developing/updating of SW architecture design |
| SWIT Report | After every SW integration testing (automatically generated from Testing Tool) |
| SWIT Summary Report | Software integration summary report |

* 1. **시험 위배 관리**

(예제) 이 전략은 문제 해결 관리 계획(PRMP)의 시험 결함 해결 절차 x.x 장에 문서화되어 있습니다.

식별된 결함은 SUP.9의 전략에 의해 관리되어야 하고 공급자의 결함은 SM이 관리해야 하며, 결함에 대한 사전 분석을 통해 PM에게 결함 티켓을 생성합니다.

* 내부 시험 결함

HTS에서 실시하는 시스템 레벨 검증의 결함은 다음과 같이 관리한다.

* SYSIT: SYSITC 중 확인된 결함은 관리 도구의 “시험 위배” 작업 항목으로 등록 관리
* 승인 시험 결함

공급업체의 제품에 대한 승인 시험에서 확인된 결함은 다음과 같이 관리한다.

* 승인 시험 결함은 결함 목록을 이용하여 관리
* 결함 목록은 시험 보고서와 함께 공급업체 책임자를 통해 공급업체에 전달되며, 조치 결과에 대한 피드백을 받는다.
  + 1. **결함 심각도**

결함에 대한 심각도 수준은 다음과 같이 정의됩니다. 그리고 SyTE는 결함 티켓 심각도 수준을 정의합니다.

|  |  |
| --- | --- |
| 심각도 | 설명 |
| Critical | 영구 데이터 손실, 발생 빈도에 관계없이 중단 종료와 같은 오작동으로 인한 치명적인 결함 |
| Major | 구현 및 성능 저하로 인한 부분적 오작동의 결함 또는 (구현된 안전 메커니즘으로 인한 오작동에 부분적으로 영향을 미침) |
| Minor | 행위에 문제가 없으나 개선이 필요한 결함 또는 개선이 필요한 결함 |

* + 1. **결함 우선순위**

The priority of implementing defects is defined as below. And SyTE create defects ticket Priority level defined.

Table 5 우선순위 테이블

|  |  |
| --- | --- |
| 우선순위 | 설명 |
| Urgent | 심각도가 중요할 때 최우선 순위로 완료해야 합니다. (긴급 결함) 심각도 결함이 중요하지 않은 경우에도 가능(예: OEM 요구 사항)  현재 반복이 완료되기 전에 완료되어야 합니다. |
| High | 현재 반복 기간이 완료되기 전에 완료되어야 합니다. |
| Normal | 판단 양식 SYS PL에 따라 현재 iteration 내에서 action target을 결정할 수 있으며, 이때의 심각도 수준은 개선을 위해 Major에서 Minor입니다. |

1. **시스템 통합 시험**
   1. **통합 전략**

모든 통합 활동의 계획 및 범위는 통합 전략에 따라 달성됩니다.

SwAD는 통합 전략의 기본 문서입니다.

시스템 요소의 구성

- TCU(HW-SW)

- 솔레노이드

- 스피드센서

어떤 부분이 레거시인지 새로운 부분인지에 따라 임계도 수준을 아래와 같이 정의합니다.

- Level1 : TCU + OTS : 이 요소들은 전자부품의 레거시 요소입니다.

- Level2 : EOP + SOLENOIDS + SPEEDSENSOR: 전기부품의 새로운 요소입니다.

- 레벨3 : 임계 수준에 따른 통합 순서

모든 실제 시스템요소는 통합에 사용됩니다. 그러나 샘플이 지연되면 Plant 모델 에뮬레이터로 대체됩니다.

통합은 기계 구성 요소를 제외한 시스템 시험 엔지니어가 구현합니다. 기계 부품에 대해서만 A/T 시스템으로 구현된 이 부분은 A/T PM에서 관리합니다.

* 1. **통합 시험 전략**

이 프로젝트에서 시스템 통합 테스트는 시스템 아키텍처 설계로 수행됩니다. 솔레노이드 시스템 동작은 1단계에서 TCU를 사용하여 hIL에서 테스트해야 합니다. 그리고 2단계에서는 나머지 실제 시스템 요소가 HIL에 설치되고 시스템 아키텍처의 모든 동작이 테스트됩니다.

마지막으로 차량(Mule Car)과 함께 모든 시스템 인터페이스는 동적 동작으로 확인됩니다.

통합 테스트 절차는 다음과 같습니다.

SyAd 및 테스트 데이터는 시스템 통합 테스트 케이스 설계를 위한 기준이 되어야 합니다. 그리고 시스템 통합 테스트 케이스에 대한 테스트 케이스 설계 방법을 정의한다.

시스템 통합 테스트 엔지니어는 다음 단계에 따라 시스템 통합 테스트를 수행합니다.

1. 1단계 : TCU(HW+SW) + 솔레노이드 통합 테스트는 HIL 환경에서 시스템 동작을 기반으로 수행됩니다.

- 실제 솔레노이드는 HIL에서 구현됩니다.

- EOP, SpeedSensor, OTS는 HIL의 MatLab SimulLink 플랜트입니다.

2. 2단계 : 시스템 기반으로 1단계 + EOP, SpeedSensor, OTS 통합 테스트 수행

- Real EOP, SpeedSensor, OTS는 HIL에서 구현됩니다.

\* 제한 사항 : EOP 배송 일정에 따라 EOP 통합이 지연될 수 있습니다.

3. Step 3 : 차량(Mule Car)의 시스템 거동을 기반으로 Step2 통합 테스트 수행

* + 1. **시험 범위**

시스템 통합 시험의 주요 목적은 시스템 요소의 인터페이스 및 동작에 대한 통합 시험입니다.

시스템 통합 시험은 아래의 항목을 수행합니다.

- 모든 기능과 함께 인터페이스에 대해 시험을 수행합니다.

- 실제 환경과 동일한 구성에 대해 시험을 수행합니다.

a. SW 유닛 통합 시험: 유닛 테스터는 SIL과 모델에서 개발한 SW 유닛을 통합하여 시험 한다.

b. SW 컴포넌트 통합 시험: SW 컴포넌트 모델을 통합하고 고객 SW(KSP)를 포함한 소스코드 컴포넌트를 통합하며, SWTE는 컴포넌트를 SIL과 함께 여러 기능 그룹으로 병합하면서 점진적으로 통합 시험을 수행한다.

c. SW(ASW/KSP, BSW/FS SW) 통합 시험: BSW 공급업체의 ASW(통합 KSP) 및 빌드 패키지(BSW/FS SW)를 통합하고, HIL과 통합SW에 대한 통합 시험을 수행한다.

d. 비기능 시험: 비기능에 대해 시험을 수행한다.

* 1. **회귀 시험 전략**

요구 사항 또는 구현(하드웨어 또는 소프트웨어)에 적용된 변경 사항에 대해 다음 회귀 테스트 전략이 적용됩니다.

- 테스트 설계에서 확인된 일련의 기본 테스트(스모크 테스트)가 주요 기능에 영향을 미치지 않았는지 확인하기 위해 수행됩니다.

- 수정된 내용과 영향 분석을 통해 식별된 모든 관련 항목에 대해 시스템 테스트를 다시 수행해야 합니다.

|  |  |
| --- | --- |
|  | 설명 |
| 타이밍 | Whenever customer formal release is required, conduct in case of following conditions  Architecture Design or implementation was modified due to change request, bug, software modification or hardware modification. |
| 절차 | 1. Perform the Impact analysis of Architecture Design with use of traceability matrix.  2. whether any additional test case is needed or not and perform test case selection  3. Conduct tests for all selected test cases |
| 선택 기준 | 1. All defect-or change related test cases should be selected.  2. All modify-related test cases should be selected according to System-Architecture Design and based on the impact Analysis   |  |  |  |  |  | | --- | --- | --- | --- | --- | | Source | Target | Selection Method | boundary | reference | | change | Change or defect | Select all relevant test cases | 100% | Test Results (from previous cycle) | | Impact Analysis | Unintended modification | Select all related test cases according to the system architecture design | 100% | Requirement Traceability matrix | |

Table 8 Regression test Variant

* 1. **시험 일정**

시스템 통합 시험 및 보고서는 고객의 각 기준선에 따라 작성 됩니다.

시스템 통합 시험 일정

- 시험 일정:WBS(Work Breakdown Structure)

* + 1. **통합 시험 기준**
    2. **시험 Entry/Suspension/Resumption 기준**

Table 6 Test suspension/Resumption Criteria for Static Analysis

|  |  |  |
| --- | --- | --- |
| criteria | | Remark |
| Entry | PTC CM 예외 입력 기준에서 SWDD의 해제된 체크포인트를 확인한 후: 작업 일수가 5일 이상 지연될 것으로 예상되는 시점에서, 위에서 정의한 진입 기준에 도달하지 않았더라도 정적 분석은 활동을 진행할 수 있다. | check the version history view project History |
| Suspending Condition | 각 릴리즈 기준으로 SW Unit 또는 Component에 결함이 있는 경우 | create a defect |
| Resuming Condition | 결함 수정 후 |  |

* + 1. **시험 완료 기준**

이 프로젝트에서 시스템 통합 시험의 시험 완료 조건은 컨트롤러 PM과 함께 각 단계에 대해 다음 조건에 의해 판단됩니다.

Table 7 시험 완료 기준

|  |  |  |
| --- | --- | --- |
| Milestones | Criteria | Remark |
| SBS 1 (Step #1) | 100% of coverage of system behavior of architecture design  100% of system behavior verified ratio (Test completed with TC traceability) | V300 |
| SBS 1 (Step #2) | 100% of coverage of system behavior of architecture design  100% of system behavior verified ratio (Test completed with TC traceability) |
| SBS 1 (Step #3) | 100% of coverage of system behavior of architecture design  100% of system behavior verified ratio (Test completed with TC traceability) |
| SBS 2.1 | 100% of coverage of system behavior of architecture design  100% of system behavior verified ratio (Test completed with TC traceability) | V400 |
| SBS 2.2 | 100% of coverage of system behavior of architecture design  100% of system behavior verified ratio (Test completed with TC traceability) | V500 |

* 1. **통합 시험 환경**
     1. **시험 환경 개요**

시스템 통합 시험은 아래와 같은 시스템 통합 시험 환경에서 진행되어야 합니다. 시스템 아키텍처 설계에 따라 제어 시스템을 확인하기 위한 전반적인 시험.

* + 1. **시험 데이터 요구사항**

CAN 데이터베이스 파일, DCM 사전 설정 교정 데이터, HIL 시뮬레이션 플랜트 및 시험 벡터와 같은 모든 시험 데이터는 PTC의 CM에 의해 저장 및 관리됩니다. 시험용 데이터의 모든 버전 및 정보는 시험 보고서에 작성됩니다.

* + 1. **시험 환경 요구사항**

Table 8 Test environment of system Integration test

|  |  |  |
| --- | --- | --- |
| Item | Description | Remark |
| HILS | * Interfaces verification on HILs * HW ETAS LABCAR-HIL * SW LABCAR-OPERATOR | HIL envireonment & conficuration |
| Vehicle | * Interfaces verification on Vehicle side * VW Atlas |  |
|  |  |  |
|  |  |  |